



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 10260275

(43)Date of publication of application: 29.09.1998

(51)Int.Cl.

G04G 3/00

H03B 5/12

H03B 5/32

(21)Application number: 09087763

(71)Applicant:

SEIKO EPSON CORP

(22)Date of filing: 19.03.1997

(72)Inventor:

NAKAMIYA SHINJI

KADOWAKI TADAO

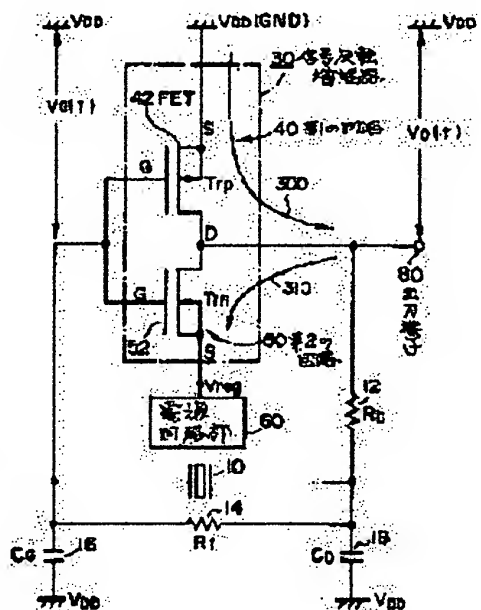
MAKIUCHI YOSHIKI

(54) OSCILLATION CIRCUIT, ELECTRONIC CIRCUIT EMPLOYING IT, SEMICONDUCTOR DEVICE, ELECTRONIC APPARATUS AND CLOCK EMPLOYING THEM

(57)Abstract:

PROBLEM TO BE SOLVED: To oscillate an oscillation circuit with a low power consumption by setting the sum of absolute value of threshold voltage of first and second semiconductor switching elements constituting a signal inversion amplifier higher than the absolute value of a power supply voltage thereby reducing short circuit current flowing through the signal inversion amplifier.

SOLUTION: A crystal oscillation circuit comprises a signal inversion amplifier 30, and a feedback circuit having a crystal oscillator 10. The signal inversion amplifier 30 comprises first and second circuits 40, 50 having P type or N type field effect transistors 42, 52 functioning as semiconductor switching elements. Sum of the absolute value of the transistors 42, 52 is set higher than the absolute value of a power supply voltage Vreg being applied from a power supply circuit section 60 to the signal inversion amplifier 30 and the absolute value of threshold voltage of the transistors 42, 52 is set lower than the absolute value of the power supply voltage Vreg.



This Page Blank (uspto)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-260275

(43) 公開日 平成10年(1998) 9月29日

(51) Int.Cl.⁶ 識別記号

G 0 4 G 3/00
H 0 3 B 5/12
5/32

F I

G 0 4 G 3/00
H 0 3 B 5/12
5/32

K
A
J

審査請求 未請求 請求項の数10 F D (全 8 頁)

(21) 出願番号 特願平9-87763

(22) 出願日 平成9年(1997) 3月19日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 中宮 信二

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 門脇 忠雄

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 牧内 佳樹

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

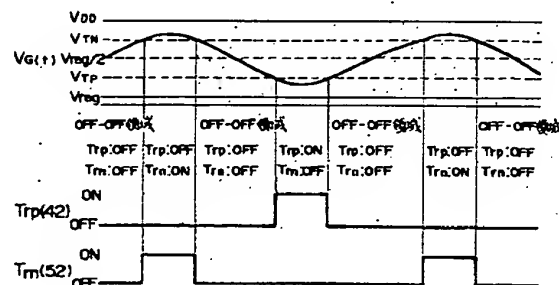
(74) 代理人 弁理士 井上 一 (外2名)

(54) 【発明の名称】 発振回路、これを用いた電子回路、これらを用いた半導体装置、電子機器および時計

(57) 【要約】

【課題】 少ない電力消費で安定して発振することができる水晶発振回路を提供すること。

【解決手段】 この水晶発振回路は、信号反転増幅器30と、水晶振動子10と、前記信号反転増幅器の出力信号を位相反転してフィードバック入力するフィードバック回路14、16、18と、を含む。そして、信号反転増幅器30を構成する第1の半導体スイッチング素子42と、第2の半導体スイッチング素子52のスレッショールド電圧の絶対値の和が、前記第1の電位および第2の電位の電位差の絶対値以上の値に設定されている。



1

【特許請求の範囲】

【請求項1】 信号反転増幅器を構成する第1の半導体スイッチング素子と、第2の半導体スイッチング素子のスレッショールド電圧の絶対値の和が、信号反転増幅器の電源電圧の絶対値以上の値に設定され、前記信号反転増幅器に流れるショート電流を制限することを特徴とする発振回路。

【請求項2】 信号反転増幅器と、

前記信号反転増幅器の出力側と入力側との間に接続された水晶振動子を有し、前記信号反転増幅器の出力信号を位相反転して、前記信号反転増幅器にフィードバック入力するフィードバック回路と、

を含み、

前記信号反転増幅器は、

第1の電位側に接続され、前記フィードバック入力によりオンオフ駆動され前記水晶振動子を励振駆動する第1の半導体スイッチング素子を含む第1の回路と、

前記第1の電位と異なる第2の電位側へ接続され、前記フィードバック入力により前記第1の半導体スイッチング素子と異なるタイミングでオンオフ駆動され前記水晶振動子を励振駆動する第2の半導体スイッチング素子を含む第2の回路と、

を含み、

信号反転増幅器を構成する第1の半導体スイッチング素子と、第2の半導体スイッチング素子のスレッショールド電圧の絶対値の和が、前記第1の電位および第2の電位の電位差の絶対値以上の値に設定されたことを特徴とする発振回路。

【請求項3】 信号反転増幅器を構成する第1の半導体スイッチング素子および第2の半導体スイッチング素子のゲートに、第1の直流バイアス電圧および第2の直流バイアス電圧を印加するバイアス回路を含み、

前記第1の直流バイアス電圧および第2の直流バイアス電圧は、

第1の半導体スイッチング素子および第2の半導体スイッチング素子が共通オン期間を持たない値に、前記第1の半導体スイッチング素子および第2の半導体スイッチング素子の各ゲートに入力される前記信号反転増幅器のフィードバック入力の直流電位を個別にシフトさせることを特徴とする発振回路。

【請求項4】 信号反転増幅器と、

前記信号反転増幅器の出力側と入力側との間に接続された水晶振動子を有し、前記信号反転増幅器の出力信号を位相反転して、前記信号反転増幅器にフィードバック入力するフィードバック回路と、

前記信号反転増幅器に直流バイアス電圧を印加するバイアス回路と、

を含み、

前記信号反転増幅器は、

第1の電位側に接続され、ゲートに入力される前記フィ

2

ードバック入力によりオンオフ駆動され前記水晶振動子を励振駆動する第1の半導体スイッチング素子を含む第1の回路と、

前記第1の電位と異なる第2の電位側へ接続され、ゲートに入力される前記フィードバック入力により前記第1の半導体スイッチング素子と異なるタイミングでオンオフ駆動され前記水晶振動子を励振駆動する第2の半導体スイッチング素子を含む第2の回路と、

を含み、

10 前記バイアス回路は、

信号反転増幅器を構成する第1の半導体スイッチング素子のゲートに、第1の直流バイアス電圧を印加する第1のバイアス回路と、

信号反転増幅器を構成する第2の半導体スイッチング素子のゲートに、第2の直流バイアス電圧を印加する第2のバイアス回路とを、含み、

前記第1の直流バイアス電圧および第2の直流バイアス電圧は、

前記第1の半導体スイッチング素子および第2の半導体スイッチング素子が共通オン期間を持たない値に、前記第1の半導体スイッチング素子および第2の半導体スイッチング素子の各ゲートに入力される前記信号反転増幅器のフィードバック入力の直流電位を個別にシフトさせることを特徴とする発振回路。

【請求項5】 請求項4において、

前記第1の直流バイアス電圧は、前記第1の電位に設定され、前記第2の直流バイアス電圧は、前記第2の電位に設定されることを特徴とする発振回路。

【請求項6】 請求項1～5のいずれかにおいて、

30 前記第1および第2の半導体スイッチング素子は、異なる導電型の電界効果トランジスタ素子を用いて構成されたことを特徴とする発振回路。

【請求項7】 請求項1～6のいずれかの発振回路を備えたことを特徴とする電子回路。

【請求項8】 請求項1～6のいずれかの発振回路または請求項7の電子回路を含んで構成されることを特徴とする半導体装置。

40 【請求項9】 請求項1～6のいずれかの発振回路または請求項7の電子回路を含んで構成されることを特徴とする電子機器。

【請求項10】 請求項1～6のいずれかの発振回路または請求項7の電子回路を含んで構成されることを特徴とする時計。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、発振回路、これを用いた電子回路、これらを用いた半導体装置、電子機器および時計に関する。

【0002】

【背景技術および発明が解決しようとする課題】 従来よ

り、携帯用の腕時計や、携帯用の電話、コンピュータ端末などには、水晶振動子を用いた発振回路が広く用いられている。このような携帯型の電子機器では、消費電力を節約し、電池の長寿命化を図ることが必要となる。

【0003】前記水晶発振回路は、信号反転増幅器と、水晶振動子を備えたフィードバック回路とを含んで構成される。前記信号反転増幅器は、一対のトランジスタを含み、各トランジスタは、例えばそのゲートが入力側、ドレインが出力側として用いられる。この場合、前記各トランジスタは、それらのドレイン側が互いに接続され、それらのソース側が、それぞれアース、電源電圧側へ接続されている。

【0004】以上の構成の水晶発振回路では、信号反転*

$$|V_{reg}| > |V_{TP}| + |V_{TN}| \quad \dots (1)$$

本発明者は、これが、信号反転増幅器内を高電位側から低電位側へショート電流 I_s が流れる原因となり、回路全体の電力消費の節減を図る上での問題となっていることを見出した。

【0007】本発明の目的は、信号反転増幅器に流れるショート電流を低減し、少ない電力消費で発振することができる発振回路、これを用いた電子回路、これらを用いた半導体装置、電子機器および時計を提供することにある。

【0008】

【課題を解決するための手段】前記目的を達成するため、請求項1の発明は、信号反転増幅器を構成する第1の半導体スイッチング素子と、第2の半導体スイッチング素子のスレッショールド電圧の絶対値の和が、信号反転増幅器の電源電圧の絶対値以上の値に設定され、前記信号反転増幅器に流れるショート電流を制限することを特徴とする。

【0009】また、請求項2の発明は、信号反転増幅器と、前記信号反転増幅器の出力側と入力側との間に接続された水晶振動子を有し、前記信号反転増幅器の出力信号を位相反転して、前記信号反転増幅器にフィードバック入力するフィードバック回路と、を含み、前記信号反転増幅器は、第1の電位側に接続され、前記フィードバック入力によりオンオフ駆動され前記水晶振動子を励振駆動する第1の半導体スイッチング素子を含む第1の回路と、前記第1の電位と異なる第2の電位側へ接続され、前記フィードバック入力により前記第1の半導体スイッチング素子と異なるタイミングでオンオフ駆動され前記水晶振動子を励振駆動する第2の半導体スイッチング素子を含む第2の回路と、を含み、信号反転増幅器を構成する第1の半導体スイッチング素子と、第2の半導体スイッチング素子のスレッショールド電圧の絶対値の和が、前記第1の電位および第2の電位の電位差の絶対値以上の値に設定されたことを特徴とする。

【0010】請求項1、2の発明の水晶発振回路は、信号反転増幅器に電圧を印加すると、水晶振動子の励振駆

*増幅器に電源電圧を印加すると、信号反転増幅器の出力が180度位相反転されて前記各トランジスタのゲートにフィードバック入力される。このフィードバック動作により、信号反転増幅器を構成するトランジスタが交互にオンオフ駆動され、水晶発振回路の発振出力が次第に増加し、ついには振動子が安定した振動を行うようになる。

【0005】しかし、従来の水晶発振回路では、信号反転増幅器に印加する電圧 V_{reg} の絶対値を、次式に示すように各トランジスタのスレッショールド電圧 V_{TP} 、 V_{TN} の絶対値の合計値以上に設定していた。

【0006】

動が開始される。信号反転増幅器の出力は、フィードバック回路により位相反転されてフィードバック入力される。そして、このフィードバック入力信号が、信号反転増幅器により反転増幅されて、出力されるという動作を繰り返して行う。

【0011】このとき、信号反転増幅器を構成する第1、第2の半導体スイッチング素子は、前記フィードバック入力により互いに異なるタイミングでオンオフ駆動され、前記水晶振動子を励振駆動する。

【0012】本発明では、前記第1、第2の半導体スイッチング素子のスレッショールド電圧の絶対値の和が、信号反転増幅器の電源電圧の絶対値以上の値に設定されている。このため、回路駆動時に第1、第2の半導体スイッチング素子が同時にオン駆動されることが避けられ、この結果、信号反転増幅器に流れるショート電流を大幅に制限し、低消費電力化を図ることができる。

【0013】特に、請求項1、2の発明によれば、前記スレッショールド電圧の条件を満足するように、第1、第2のトランジスタを製造することで、ショート電流対策を済ませてしまうことができ、ショート電流対策用の特別な回路部品が不要となる。これにより、回路全体の集積度を低下させることなく、水晶発振回路の低消費電力化を図ることが可能となる。

【0014】なお、請求項1、2の発明において、前記第1、第2の半導体スイッチング素子のスレッショールド電圧の絶対値は、いずれも信号反転増幅器の電源電圧の絶対値を下回る値に設定する必要がある。

【0015】請求項3の発明は、信号反転増幅器を構成する第1の半導体スイッチング素子および第2の半導体スイッチング素子のゲートに、第1の直流バイアス電圧および第2の直流バイアス電圧を印加するバイアス回路を含み、前記第1の直流バイアス電圧および第2の直流バイアス電圧は、第1の半導体スイッチング素子および第2の半導体スイッチング素子が共通オン期間を持たない値に、前記第1の半導体スイッチング素子および第2の半導体スイッチング素子の各ゲートに入力される前記

信号反転増幅器のフィードバック入力の直流電位を個別にシフトさせることを特徴とする。

【0016】請求項4の発明は、信号反転増幅器と、前記信号反転増幅器の出力側と入力側との間に接続された水晶振動子を有し、前記信号反転増幅器の出力信号を位相反転して、前記信号反転増幅器にフィードバック入力するフィードバック回路と、前記信号反転増幅器に直流バイアス電圧を印加するバイアス回路と、を含み、前記信号反転増幅器は、第1の電位側に接続され、ゲートに10 入力される前記フィードバック入力によりオンオフ駆動され前記水晶振動子を励振駆動する第1の半導体スイッチング素子を含む第1の回路と、前記第1の電位と異なる第2の電位側へ接続され、ゲートに入力される前記フィードバック入力により前記第1の半導体スイッチング素子と異なるタイミングでオンオフ駆動され前記水晶振動子を励振駆動する第2の半導体スイッチング素子を含む第2の回路と、を含み、前記バイアス回路は、信号反転増幅器を構成する第1の半導体スイッチング素子のゲートに、第1の直流バイアス電圧を印加する第1のバイアス回路と、信号反転増幅器を構成する第2の半導体ス20 イッチング素子のゲートに、第2の直流バイアス電圧を印加する第2のバイアス回路とを、含み、前記第1の直流バイアス電圧および第2の直流バイアス電圧は、前記第1の半導体スイッチング素子および第2の半導体スイッチング素子が共通オン期間を持たない値に、前記第1の半導体スイッチング素子および第2の半導体スイッチング素子の各ゲートに20 入力される前記信号反転増幅器のフィードバック入力の直流電位を個別にシフトさせることを特徴とする。

【0017】請求項3、請求項4の発明によれば、信号反転増幅器を構成する第1、第2の半導体スイッチング素子のゲートに、それぞれ第1、第2の直流バイアス電圧が印加される。

【0018】前記第1の直流バイアス電圧および第2の直流バイアス電圧は、前記第1の半導体スイッチング素子および第2の半導体スイッチング素子が共通オン期間を持たない値に、前記第1の半導体スイッチング素子および第2の半導体スイッチング素子の各ゲートに40 入力される前記信号反転増幅器のフィードバック入力の直流電位を個別にシフトさせる。

【0019】以上の構成を採用することにより、本発明によれば、信号反転増幅器を構成する第1、第2の半導体スイッチング素子が、前記フィードバック入力により互いに異なるタイミングでオンオフ駆動され、前記水晶振動子を励振駆動する際に、第1、第2の半導体スイッチング素子が、共にオンする共通オン期間が発生しない。このため、信号反転増幅器に流れるショート電流を大幅に低減し、少ない電力消費で安定発振できる水晶発振回路を得ることが可能となる。

【0020】特に、請求項3、4の発明によれば、第50

1、第2の半導体スイッチング素子の各スレッショールド電圧の絶対値が小さい場合でも、信号反転増幅器のショート電流を低減することができる。このため、水晶発振回路の電源電圧をその分低い値にすることができ、この面からも、発振回路の低消費電力化を図ることが可能となる。

【0021】請求項5の発明は、請求項4において、前記第1の直流バイアス電圧は、前記第1の電位に設定され、前記第2の直流バイアス電圧は、前記第2の電位に設定されることを特徴とする。

【0022】本発明によれば、前記直流バイアス電圧の印加により、前記第1の半導体スイッチング素子および第2の半導体スイッチング素子の各ゲートへのフィードバック入力の直流電位が、個別に電源の第1の電位、第2の電位側にシフトされる。これにより、簡単な回路構成で、確実に信号反転増幅器のショート電流を低減することが可能な水晶発振回路を得ることができる。

【0023】請求項6の発明は、請求項1～5のいずれかにおいて、前記第1および第2の半導体スイッチング素子は、異なる導電型の電界効果トランジスタ素子を用いて構成されたことを特徴とする。

【0024】請求項7の発明の電子回路は、請求項1～6のいずれかの発振回路を備えたことを特徴とする。

【0025】請求項8の発明の半導体装置は、請求項1～6のいずれかの発振回路または請求項7の電子回路を含んで構成されることを特徴とする。

【0026】請求項9の発明の電子機器は、請求項1～6のいずれかの発振回路または請求項7の電子回路を含んで構成されることを特徴とする。

【0027】このようにすることにより、例えば携帯電話や、携帯型のコンピュータ端末などの携帯用電子機器の電力消費を低減し、内蔵された電池や、バッテリー等の2次電池の電力消費を小さくすることが可能となる。

【0028】請求項10の発明の時計は、請求項1～6のいずれかの発振回路または請求項7の電子回路を含んで構成されることを特徴とする。

【0029】このようにすることにより、消費電力の小さな携帯用時計を実現することができ、この結果、使用する電池をさらに小さなものとして時計全体の小型化を図ることが可能となり、また、同一の容量の電池を使用する場合には、電池の長寿命化を図ることが可能となる。

【0030】

【発明の実施の形態】次に、本発明の好適な実施の形態を図面に基づき詳細に説明する。

【0031】（第1の実施の形態）図1には、本発明の第1の実施の形態にかかる水晶発振回路が示されている。本実施の形態の水晶発振回路は、クォーツタイプの腕時計に使用される水晶発振回路である。

【0032】本実施の形態の水晶発振回路は、信号反転増幅器30と、フィードバック回路と、を含んで構成さ

れる。前記フィードバック回路は、水晶振動子10と、抵抗14と、位相補償用のコンデンサ16、18を含んで構成され、信号反転増幅器30の出力VD(i)を180度位相反転し、これをゲート信号VG(i)として信号反転増幅器30のゲートへフィードバック入力する。

【0033】前記信号反転増幅器30は、第1の電位側と、これより低い電位の第2の電位側に接続され、両電位の電位差により電力供給を受け駆動されるように構成されている。ここで、前記第1の電位はアース電位VDDに設定され、第2の電位は電源回路部60から供給される負の電源電位Vregに設定されている。

【0034】前記信号反転増幅器30は、第1の回路40と、第2の回路50とを含んで構成される。

【0035】前記第1の回路40は、第1の半導体スイッチング素子として機能するP型の電界効果トランジスタ42を含んで構成され、このトランジスタ42のソースは、アース側に接続され、ドレインは出力端子80側へ接続され、そのゲートには前記フィードバック信号VG(i)が印加される。

$$|Vreg| \leq |VTP| + |VTN| \quad \dots (2)$$

さらに、前記各トランジスタ42、52のスレッシュホールド電圧の絶対値は、それぞれ次式で示すように電源電圧の絶対値を下回る値となるように設定されている。

$$|Vreg| > |VTP| \\ |Vreg| > |VTN| \quad \dots (3)$$

これにより、本実施の形態の水晶発振回路は、回路駆動時に信号反転増幅器30へ流れるショート電流の値を大幅に低減し、低消費電力化を図ることができる。

【0038】以下にその理由を説明する。

【0039】図2には、従来の水晶発振回路のタイミングチャート、図3には、本実施の形態の水晶発振回路のタイミングチャートが示され、横軸は電源回路部60から電源電圧Vregが印加されてからの経過時間、縦軸は信号反転増幅器30へのフィードバック入力VG(i)、各トランジスタ42、52のオン、オフ状態をそれぞれ表している。

【0040】前述したように、従来の水晶発振回路では、信号反転増幅器30を構成する2つのトランジスタ42、52のスレッシュホールド電圧は、前記(1)式を満足するように設定されていた。この場合、各トランジスタ42、52のスレッシュホールド電圧と、アース電位VDD、電源電位Vregとの関係を図示すると、図4に示すようになる。即ち、信号反転増幅器30へのフィードバック入力VG(i)の値が、前記両スレッシュホールド電圧VTP、VTNの電位に対し、

$$VTP > VG(i) > VTN$$

の範囲の値をとると、両トランジスタ42、52が共にオンされるショート領域が存在する。

【0041】従って、図2に示すよう、フィードバック信号VG(i)より各トランジスタ42、52が交互にオ

*【0036】前記第2の回路50は、第2の半導体スイッチング素子として機能するN型の電界効果トランジスタ52を含んで構成され、このトランジスタ52のソースは、電源回路部60の電源端子側に接続され、ドレインは出力端子80側へ接続され（ここではトランジスタ42のドレインに接続されている）、そのゲートには前記フィードバック信号VG(i)が印加される。

【0037】前記トランジスタ42としては、P型でかつエンハンスメントタイプの電界効果型のトランジスタを用られ、前記トランジスタ52としては、N型でかつエンハンスメントタイプのトランジスタを用いられている。そして、トランジスタ42のスレッシュホールド電圧VTP、トランジスタ52のスレッシュホールド電圧VTNの値は、次式に示すようにそれらの絶対値の合計値が、信号反転増幅器30に印加される電源電圧（本実施の形態では、アース電位VDDを0に設定しているため、電源電圧はアース電位と電源電位の電位差であるVregとなる）の絶対値以上の値になるように設定されている。

ン、オフ駆動される途中で、両トランジスタ42、52が共にオン駆動されてしまう共通オン期間が周期的に発生し、高電位（VDD）から低電位（Vreg）側へショート電流が流れてしまい、これが電力消費を低減する上での妨げとなっていた。

【0042】これに対し、本実施の形態では、各トランジスタ42、52のスレッシュホールド電圧が、前記(2)式、(3)式を満足するように設定されている。この場合の各スレッシュホールド電圧と、アース電位VDD、電源電位Vregとの関係を図示すると、図5に示すようになる。即ち、信号反転増幅器30へのフィードバック入力VG(i)の値が、前記両スレッシュホールド電圧VTP、VTNの電位に対し

$$VTN > VG(i) > VTP$$

の範囲の値をとると、両トランジスタ42、52は、確実にオフされることになり、従来のように両トランジスタ42、52が共にオンしてしまう共通オン期間は存在しない。

【0043】すなわち、図3に示すよう、フィードバック信号VG(i)により各トランジスタ42、52が交互にオン、オフ駆動される途中で、両トランジスタ42、52が共にオンされる期間が存在しなくなり、従来問題になっていたショート電流を大幅に低減し、水晶発振回路の消費電力を少なくすることができる。

【0044】特に、本実施の形態では、信号反転増幅器30のショート電流対策を、回路の部品点数を増やすことなく行うことができる。

【0045】また、本実施の形態では、前記各トランジスタ42、52のスレッシュホールド電圧の絶対値が前記(3)式に示すように電源電圧Vregの絶対値より小

さな値に設定されている。これにより、水晶発振回路の安定した発振動作を維持しつつ、低消費電力化を実現することができる。

【0046】すなわち、水晶発振回路において信号反転増幅器30のフィードバック信号VG(t)の振幅の絶対値は、信号反転増幅器の電源電圧Vregの絶対値を上回ることではない。このため、各トランジスタ42、52のスレッシュホールド電圧の絶対値を前記(3)式を満足するように設定することにより、各トランジスタ42、52を安定して交互にオンオフ駆動させることができる。

【0047】本発明者らの実験によれば、絶対値が0.9ボルトの電源電圧Vregを用いて発振回路を駆動した際、各トランジスタ42、52のスレッシュホールド電圧の絶対値の和を次式で示す範囲において変化させても良好な発振状態を維持でき、低消費電力化が可能であることが確認された。

【0048】 $1.4 \text{ ボルト} > |V_{TP}| + |V_{TN}| > 0.9 \text{ ボルト}$

さらに、本実施の形態では、以下の理由から、トランジスタ42、52のオフリーク電流を小さくでき、この面からも、回路全体の消費電力を低減することができる。

【0049】図6は、エンハンスメント型トランジスタのドレイン電流IDとゲート・ソース間電圧VGSとの関係を表す特性図である。同図に示すよう、エンハンスメント型のトランジスタでは、ID-VGSの特性カーブは、スレッシュホールド電圧を低くするに従い、左側にシフトし、図中破線で示すようにそのオフリーク電流が増大する(同図においてVGSがスレッシュホールド電圧VTH以下でトランジスタがオフしているとき、図中破線で示すようにこのトランジスタに流れる電流IDがオフリーク電流となる)。

【0050】従って、従来の発振回路のように、トランジスタ42、52のスレッシュホールド電圧を低く設定すると、スレッシュホールド電圧以下でのオフリーク電流が大きくなり、その分、消費電力が大きくなる。

【0051】これに対し本実施の形態では、(2)式で示すように各トランジスタ42、52のスレッシュホールド電圧を大きな値に設定するため、各トランジスタ42、52を介して流れるオフリーク電流の値を大幅に小さくなり、回路全体の消費電力を低減することができる。

【0052】(第2の実施の形態) 前記第1の実施の形態では、各トランジスタ42、52のスレッシュホールド電圧が前記(2)式を満足するように構成し、ショート電流を低減する場合を例にとり説明したが、第2の実施の形態では、前記各トランジスタ42、52が従来のように(1)式に示す条件で形成されている場合でも、各トランジスタ42、52のゲートに直流バイアス電圧を印加することにより、前記第1の実施の形態と同様に、信号反転増幅器30のショート電流を低減可能とす

るものである。

【0053】図7には、本実施の形態の水晶発振回路が示されており、図8には、そのタイミングチャートが示されている。

【0054】本実施の形態の水晶発振回路は、各トランジスタ42、52の各ゲートに入力される前記信号反転増幅器30のフィードバック入力VG(t)の直流電位を個別にシフトさせる第1のバイアス回路70、第2のバイアス回路80を含んで構成される。

【0055】前記各バイアス回路70、80は直流成分を除去するためのコンデンサ72、82と、直流バイアス電圧印加用の抵抗74、84とを含んで構成される。

【0056】前記コンデンサ72、82は、ゲート信号VG(t)から直流成分を除去し、その信号を対応するトランジスタ42、52のゲートへ印加するために用いられる。

【0057】前記抵抗74はトランジスタ42のゲートと、アースVDDとの間に接続され、トランジスタ42のゲートに入力されるフィードバック入力VG(t)の直流電位をアース電位VDDまで引き上げる。

【0058】前記抵抗84は、トランジスタ52のゲートと電源Vregとの間に接続され、トランジスタ52のゲートに入力されるフィードバック入力VG(t)の直流電位を電源電位Vregまで引き下げる。

【0059】以上の構成とすることにより、上記の信号反転増幅器30にフィードバック入力されるゲート信号VG(t)は、前記第1、第2のバイアス回路70、80によりVGP(t)、VGN(t)に示すように直流電位がVDD、電源電位Vregへと変更された状態で各トランジスタ42、52のゲートに印加される。

【0060】従って、各トランジスタ42、52が交互にオン、オフ駆動される途中で、両トランジスタ42、52が共にオン駆動される期間が存在しなくなり、この結果前記第1の実施の形態と同様に、信号反転増幅器30内を流れるショート電流を大幅に低減し、低消費電力化を図ることが可能となる。

【0061】特に、本実施の形態では、エンハンスメント型トランジスタ42、52の各スレッシュホールド電圧の絶対値を小さな値としても、ショート電流を低減することができる。この結果、信号反転増幅器30に印加する電源電圧を小さなものとし、この面からも、消費電力を低減することが可能となる。

【0062】なお、前記第1のバイアス回路70、第2のバイアス回路80の印加するバイアス電圧は、各トランジスタ42、52が共通オン期間を持たないことを条件として、前記実施の形態以外の電位に、各トランジスタ42、52のゲートへのフィードバック入力の直流電位を、個別にシフトさせるように構成してもよい。

【0063】なお、本発明は、前記各実施の形態に限定されるものではなく、本発明の要旨の範囲内で各種の変

形実施が可能である。

【0064】例えば、前記実施の形態では、信号反転増幅器30を構成する第1の回路40、第2の回路50を、それぞれ1個のトランジスタを用いて構成する場合を例に取り説明したが、必要に応じ第1、第2の回路40、50の機能を損なうことなく、前述以外の回路素子を組み合わせて回路を構成することも可能である。

【0065】また、前記実施の形態の水晶発振回路や、電子回路を含む半導体装置を構成し、これを、例えば携帯用の電話機、携帯用のコンピュータ端末およびその他の携帯機器等、電源容量に制約のある携帯用電子機器に搭載する事が好ましい。

【0066】また、本実施の形態においては、水晶発振回路を時計用の電子回路に用いる場合を例にとり説明したが、本発明はこれに限らず、これ以外の用途、例えば携帯用の電話機、携帯用のコンピュータ端末およびその他の携帯機器等、電源容量に制約のある携帯用電子機器に幅広く用いる場合にも極めて効果的なものとなる。

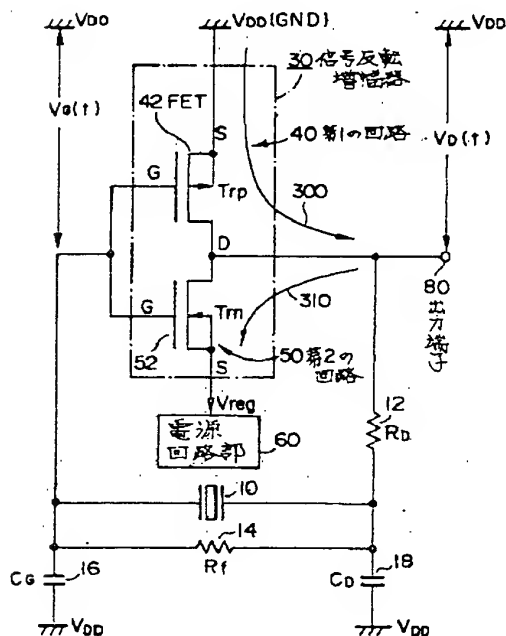
【0067】

【図面の簡単な説明】

【図1】本発明にかかる水晶発振回路の第1の実施の形態の回路図である。

【図2】従来の回路のタイミングチャート図である。

【図1】



【図3】図1に示す回路のタイミングチャート図である。

【図4】従来の回路のスレッシュホールド電圧と電源電位、アース電位との関係を表す説明図である。

【図5】第1の実施の形態におけるスレッシュホールド電圧と、電源電位、アース電位との関係を表す説明図である。

【図6】エンハンスメント型トランジスタのVGS-ID特性図である。

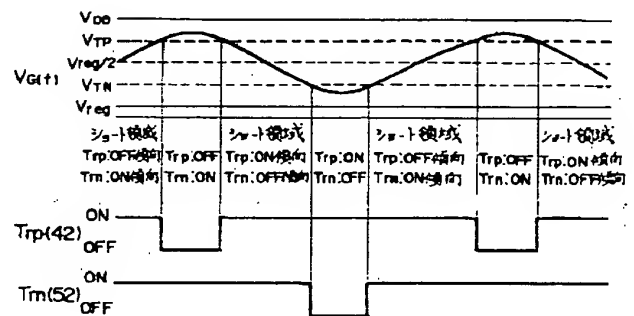
10 【図7】本発明の水晶発振回路の第2の実施の形態の回路図である。

【図8】第2の実施の形態のタイミングチャート図である。

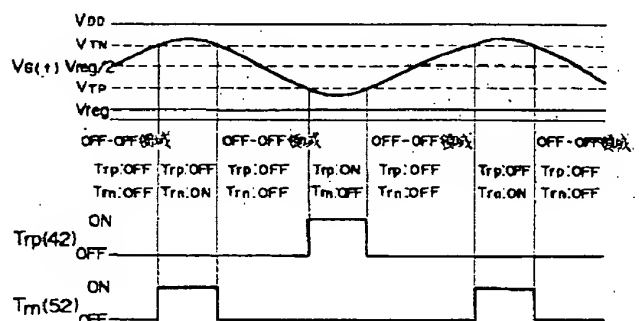
【符号の説明】

- 10 水晶振動子
- 14 フィードバック抵抗
- 30 信号反転増幅器
- 40 第1の回路
- 42 電界効果トランジスタ
- 50 第2の回路
- 52 電界効果トランジスタ
- 60 電源回路部
- 70、80 第1、第2のバイアス回路

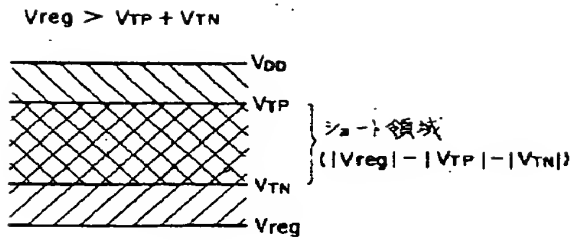
【図2】



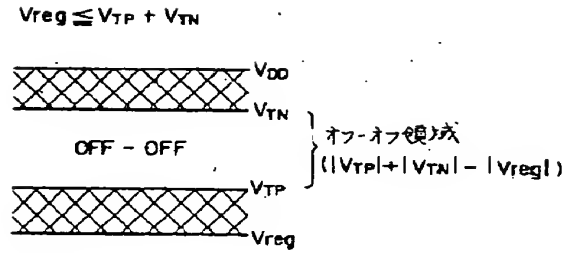
【図3】



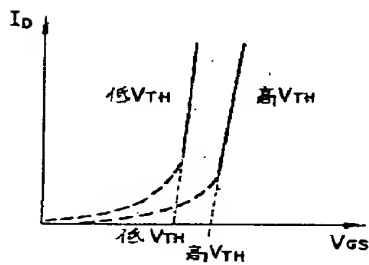
【図4】



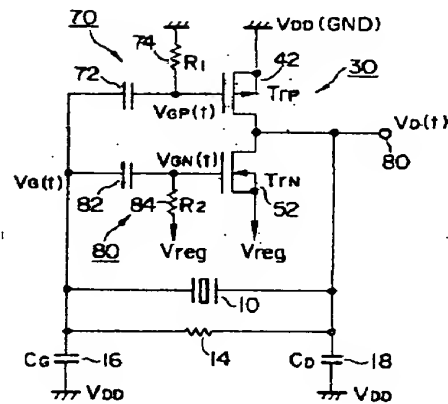
【図5】



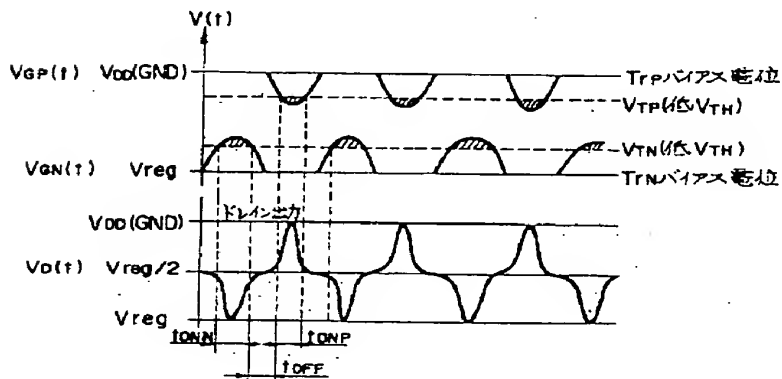
【図6】



【図7】



【図8】



t_{ONN} : Nch Tr ON

t_{ONP} : Pch Tr ON

t_{OFF} : N, Pch Tr 共に OFF